

The following is a partial translation of Japanese Laid-Open Patent Application No. 7-111226

Page 3, column 3, lines 37-45:

[0016]

FIG. 4 shows the structure of a ceramic capacitor of one preferred embodiment of the invention. With the surface of the ceramic capacitor 11, where the solder bumps 6 are provided, being placed outside, the ceramic capacitor 11 is bonded to the surface of semiconductor chip 12, having the external connection electrode, via the insulating layers including the insulating layer 4b, using the adhesive 13. After bonding, the capacitance electrodes and the derived electrodes of the ceramic capacitor 11, and the external-connection electrodes (not shown) of the semiconductor chip 12 are connected to the circuit wiring substrate 14 through the solder bumps 6.

Page 3, column 3, lines 46-49:

[0017]

The above-described capacitor mounting method is used, and a special space for mounting and wiring of the ceramic capacitor on the circuit wiring substrate is no longer needed. On the other hand, it is possible that the ceramic capacitor of the present embodiment provide adequate noise removal effect.

Page 3, column 3, line 50 - column 4, line 9:

[0018]

Testing for the noise removal characteristics of the ceramic capacitor of the present invention is conducted by varying the electrostatic capacitance of the ceramic capacitor. It is found that the noise removal effect of the present invention with about 20% small electrostatic capacitance is equivalent to that of the conventional ceramic capacitor. The ceramic capacitor 11 of simple structure is bonded to the semiconductor chip 12, and they are connected to the circuit wiring substrate with the solder bumps. The wiring leads can be shortened with the structure of the ceramic capacitor of the present invention. Hence, the increase of the inductance due to the mounting of the ceramic capacitor is prevented.

Page 3, column 4, lines 10-14:

[0019]

In the above-described embodiment, a SrTiO_3 base ceramic material is used for the dielectric substrate of the ceramic capacitor. The present invention is not limited to this embodiment. Alternatively, for example, a BaTiO_3 base ceramic material or the like may be used instead.

Page 3, column 4, lines 15-22:

[0020]

Moreover, in the above-described embodiment, Cu is used as the material of the capacitor electrodes. The present invention is not limited to this embodiment. Alternatively, for example, Ag, Pd, Ni, etc., which are well known as the materials for electrodes of ceramic capacitors, may be used solely or in combination. Moreover,

multiple-layer electrodes, such as Ag-Ni, Cu-Ni, etc. may be used when the necessity arises. Additionally, the outer layer, made of Au, Sn, etc. , which are easily connectable to solder bumps, may be formed on the capacitor electrodes.

Page 3, column 4, lines 23-27:

[0021]

Moreover, the insulating layer formed on the other principal surface of the ceramic capacitor where no solder bump is provided is not essential to the above-described embodiment. In view of the performance, it is adequate that the insulation process of the surfaces of the semiconductor chip, such as the IC or the LSI, where the ceramic capacitor of the present invention is secured is performed upon implementation.

Page 3, column 4, lines 28-40:

[0022]

Furthermore, the present invention is not limited to the production method of the ceramic capacitor of the above-described embodiment. Alternative production method may be used. For example, instead of using the resist ink, the electrodes are formed directly on the whole surface, the electrodes are partially subjected to dissolution through the acid etching, and the capacitor electrodes are formed by eliminating the dissolved electrode parts.

As for the method of formation of electrodes, other known techniques may be used. In the present embodiment, the non-electrolytic plating is used to form the electrodes. Alternatively, the

thin-film process such as vapor deposition or the thick-film process such as screen printing may be used to form the electrodes.

As for the method of formation of solder bumps, other known techniques may be used. In the present embodiment, only the Pb-Sn solder paste is melted to form the solder bumps. Alternatively, the Sn-Pb or Sn-Ag solder using Cu or Ag as the core material may be melted to form the solder bumps.

FIG. 4:

- 4b insulating layer
- 6 solder bumps
- 11 ceramic capacitor
- 12 semiconductor chip
- 13 adhesive agent
- 14 circuit wiring substrate

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-111226

(43)Date of publication of application : 25.04.1995

(51)Int.Cl. H01G 4/12
H01G 4/12
H01L 27/00

(21)Application number : 05-257134

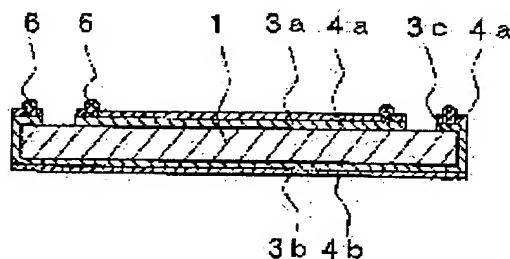
(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 14.10.1993

(72)Inventor : NAITO YASUYUKI
SAKABE YUKIO**(54) CERAMIC CAPACITOR, AND SEMICONDUCTOR DEVICE WHERE CERAMIC CAPACITOR IS ATTACHED****(57)Abstract:**

PURPOSE: To enable a ceramic capacitor to be used for a semiconductor part such as an IC, LSI, etc., by enabling the mounting in high density and besides, lessening the inductance component, and making it have enough noise removal function even with a high-speed digital circuit.

CONSTITUTION: For a ceramic capacitor, one capacitive electrode 3a is made on one main face of a ceramic dielectric substrate 1, and the other capacitive electrode 3b is made on the other main face, and the other capacitive electrode 3b is connected to the lead electrode 3c made around one main face, leaving gap with the other capacitive electrode 3a. And, further an insulating layer 4a is made on this lead electrode 3c and the other capacitive electrode 3a, and bumps 6 are made to connect with the lead electrode 3c and the one capacitive electrode 3a, respectively, piercing this insulating layer 4a.

**LEGAL STATUS**

[Date of request for examination] 06.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3191529

[Date of registration] 25.05.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-111226

(43) 公開日 平成7年(1995)4月25日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G 4/12	4 3 6			
	3 1 6			
H 0 1 L 27/00	3 0 1 C			

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号 特願平5-257134

(22) 出願日 平成5年(1993)10月14日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 内藤 康行

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 坂部 行雄

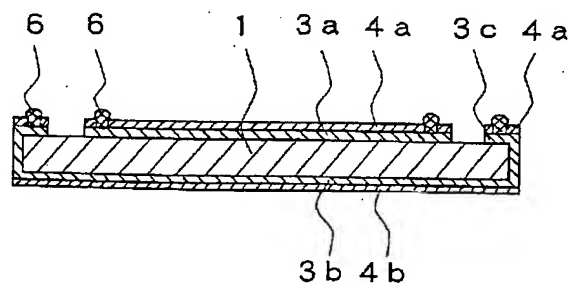
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(54) 【発明の名称】 セラミックコンデンサおよびセラミックコンデンサを取り付けた半導体装置

(57) 【要約】

【目的】 高密度実装が可能で、しかもインダクタンス成分が少なく高速デジタル回路でも十分なノイズ除去機能を有し、I CやL S I等の半導体部品に用いることができるバイパス用のセラミックコンデンサおよびそのコンデンサを取り付けた半導体装置を提供する。

【構成】 セラミックコンデンサは、セラミック誘電体基板1の一方の主面に一方の容量電極3 aが形成され、他方の主面に他方の容量電極3 bが形成されており、この他方の容量電極3 bは前記一方の容量電極3 aとはギャップを置いて一方の主面の周囲に形成された導出電極3 cと接続されており、かつ、この導出電極3 cと前記一方の容量電極3 aの上に絶縁層4 aが形成され、この絶縁層4 aを貫通して前記導出電極3 cと前記一方の容量電極3 aそれぞれに接続したはんだバンプ6が形成されている。



【特許請求の範囲】

【請求項1】 セラミック誘電体基板の一方の主面に、この主面より小さい面積の一方の容量電極が形成され、前記セラミック誘電体基板の他方の主面に他方の容量電極が形成されており、この他方の容量電極は前記一方の容量電極とはギャップを置いてセラミック誘電体基板の一方の主面の周囲に形成された導出電極と接続されており、かつ、該導出電極と前記一方の容量電極の上に絶縁層が形成され、該絶縁層を貫通して前記導出電極と前記一方の容量電極それぞれに接続したはんだバンプが形成されているセラミックコンデンサ。

【請求項2】 セラミック誘電体基板は SrTiO_3 系の粒界絶縁型半導体コンデンサ用基板である請求項1記載のセラミックコンデンサ。

【請求項3】 請求項1に記載のセラミックコンデンサが、半導体素子の外部接続用電極を有する面に、該セラミックコンデンサのはんだバンプを有する面を外側にし、絶縁層を介して固着されている半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はICやLSI等の半導体素子に用いるバイパス用のセラミックコンデンサおよびセラミックコンデンサを取り付けた半導体装置に関する。

【0002】

【従来の技術】近年、電子機器の小型、高速デジタル化の動きはとどまるところがない。これにともない、これら電子機器に用いる電子部品の小型高密度実装化が益々要望されている。従来、この電子機器の小型、高速デジタル化の基となっているICやLSI等の半導体素子に用いるバイパス用のコンデンサは、回路基板上のICやLSI等の半導体素子の周囲に実装されていた。このため、このバイパス用のコンデンサについては、積層化、チップ化等によって小型化して基板の占有面積を小さくする工夫が行われてきた。その結果、これら用途にはチップタイプの積層セラミックコンデンサが主として用いられている。

【0003】

【発明が解決しようとする課題】しかしながら、従来の回路基板上のICやLSI等の半導体素子の周囲にバイパス用のコンデンサを実装するという方法では、いくらバイパス用のコンデンサの小型化が進んでも、ICやLSI等の半導体素子の周囲にバイパス用のコンデンサ自体とその配線のための実装スペースが必要であり、回路基板としての小型化に限界があった。

【0004】また、ICやLSI等の半導体素子からバイパス用のコンデンサまでの配線部に生じるインダクタンス成分が無視できず、高速化した回路ではノイズを除去しきれないという問題点があった。

【0005】そこで、本発明の目的は、回路基板上に実

装スペースや配線スペースの必要がなく、しかもコンデンサ本体および配線のインダクタンスが少なく高速デジタル回路でも十分なノイズ除去機能を有する、ICやLSI等の半導体素子に用いるバイパス用のコンデンサおよびそのコンデンサを取り付けた半導体装置を提供することにある。

【0006】

【課題を解決するための手段】すなわち、本発明の第1の発明であるセラミックコンデンサは、セラミック誘電体基板の一方の主面に、この主面より小さい面積の一方の容量電極が形成され、前記セラミック誘電体基板の他方の主面に他方の容量電極が形成されており、この他方の容量電極は前記一方の容量電極とはギャップを置いてセラミック誘電体基板の一方の主面の周囲に形成された導出電極と接続されており、かつ、該導出電極と前記一方の容量電極の上に絶縁層が形成され、該絶縁層を貫通して前記導出電極と前記一方の容量電極それぞれに接続したはんだバンプが形成されていることを特徴とする。

【0007】また、セラミック誘電体基板として、 SrTiO_3 系の粒界絶縁型半導体コンデンサ用の基板を用いることにより、大容量かつ周波数特性に優れたセラミックコンデンサを得ることができる。

【0008】さらに、本発明の第2の発明であるセラミックコンデンサを取り付けた半導体装置は、第1の発明のセラミックコンデンサが、半導体素子の外部接続用電極を有する面に、該セラミックコンデンサのはんだバンプを有する面を外側にし、絶縁層を介して固着されていることを特徴とする。

【0009】

【作用】本発明のセラミックコンデンサは、以下のようにして使用される。即ち、まず、本発明のセラミックコンデンサを、はんだバンプを有する面を外側にし、ICやLSI等の半導体素子の外部接続用電極を有する面に、絶縁層を介して固着する。次に、セラミックコンデンサの容量電極と導出電極および半導体素子の外部接続用電極を回路基板の電極とはんだバンプにより接続して実装する。

【0010】したがって、コンデンサの実装時に特別の実装スペースや配線スペースを必要としない。また、実装時の配線によるインダクタンス成分の増加も極小に抑えることができる。

【0011】さらに、本発明のセラミックコンデンサは、平板のセラミック誘電体に対向する容量電極を設けた構造となっており、コンデンサの内部インダクタンスはほとんど無視できる。

【0012】

【実施例】以下、本発明のセラミックコンデンサの実施例を図面に基づき説明する。図1は、第1の実施例を示す斜視図、図2は図1のX-X線に沿う断面図、図3は製造過程を示す断面図である。

【0013】図1および図2において、1はSrTiO₂系の粒界絶縁型半導体コンデンサ用のセラミック誘電体基板、3aはセラミック誘電体基板1の一方の主面に形成されたCuからなる一方の容量電極、3bはセラミック誘電体基板1の他方の主面に形成されたCuからなる他方の容量電極である。3cはセラミック誘電体基板1の周囲に形成されたCuからなる導出電極であり、容量電極3bに接続されている。4a、4bはそれぞれ耐溶剤性を有する絶縁層であり、6はPb-Snからなるはんだバンプである。

【0014】次に、本発明のセラミックコンデンサの製造方法を図3に基づき説明する。まず、10mm角、0.4mm厚みのSrTiO₂系の粒界絶縁型半導体コンデンサ用のセラミック誘電体基板1を、従来より公知の方法で準備した。そのセラミック誘電体基板1の一方の主面に有機溶剤に溶解しメッキ液には溶解しないピッチ系のレジストインクを印刷し乾燥させて、表面から見て口の字状のレジスト層2を形成した。その後、レジスト層2を形成したセラミック誘電体基板1に、前処理として感受性付与および活性化処理をしたのち無電解Cuメッキを施し、セラミック誘電体基板1の全面にCuからなる容量形成用電極3を形成した。次に、容量形成用電極3を形成したセラミック誘電体基板1の両面に、乾燥後は絶縁性を有し有機溶剤に溶解しないマスキングペーストを印刷し乾燥させて、先にレジスト層2を形成した一方の主面には、レジスト層2の上を除く全面に、はんだバンプ形成用の小孔5を設けた絶縁層4aを形成し、他方の主面の全面には、絶縁層4bを形成した。以上処理したセラミック誘電体基板1を有機溶剤中に浸漬してレジスト層2を溶解させて、容量形成用電極3を、図2に示す容量電極3aと導出電極3cにつながる容量電極3bに分離した。

【0015】次に、はんだペーストをスクリーン印刷で絶縁層4aの小孔5の上に塗付した後、H₂雰囲気中で加熱してはんだを溶融させ、図1および図2に示すはんだバンプ6を形成した。

【0016】図4に、このようにして得られたセラミックコンデンサの実装例を示す。本発明のセラミックコンデンサ11を、絶縁層4bからなる絶縁層を介して、半導体素子12の外部接続用電極を有する面に、セラミックコンデンサ11のはんだバンプ6を有する面を外側にして接着剤13で固着した後、セラミックコンデンサ11の容量電極、導出電極および半導体素子12の外部接続用電極(図示せず)を回路基板14とはんだバンプ6で接続した。

【0017】上記実装方法を採用したことにより、回路基板上にセラミックコンデンサを実装し配線するための特別のスペースは不要となり、一方で、十分なノイズ除去効果が認められた。

【0018】また、セラミックコンデンサの静電容量を

変えてノイズ除去特性を試験したところ、従来のように半導体素子の周囲の基板上にセラミックコンデンサを実装した場合と比べて、約20%小さい静電容量で従来と同等のノイズ除去効果が得られた。これは、構造が単純なセラミックコンデンサ11を半導体素子12に固着し、双方をはんだバンプにより回路基板に接続して配線の引き回しを短くしたことにより、セラミックコンデンサ11の実装によるインダクタンスの増加が押さえられたためである。

10 【0019】なお、上記実施例において、セラミック誘電体基板の材質としてSrTiO₂系の粒界絶縁型半導体コンデンサ用のセラミックスを用いているが、これに限定されることはなく、例えばBaTiO₃系のセラミック誘電体等の種々のものを用いることができる。

【0020】また、上記実施例において、容量電極の材料としてCuを用いているが、これに限定されるものではない。例えば、容量電極としてはCu以外にセラミックコンデンサの電極として公知のAg、Pd、Ni等を単独あるいは組み合わせて、あるいはAg-Ni、Cu-Ni等に多層化したものを適宜用いることができる。

また、この容量電極の上に、外層電極としてはんだバンプ接続性の良いAu、Sn等を形成することもできる。【0021】また、セラミックコンデンサのはんだバンプを有しない他方の主面に形成した絶縁層は、必須ではない。性能的には、実装時に本発明のセラミックコンデンサを固着するICあるいはLSI等の半導体素子の面が絶縁処理してあれば、特に必要はない。

【0022】さらに、本発明のセラミックコンデンサの製造方法についても、上記実施例に限定されることなく、例えば、レジストインクを用いずに、あらかじめ全面に直接電極を形成した後、酸エッチングにて電極の一部を溶解除去してコンデンサ用の容量電極に分離させることも可能である。また、電極の形成方法も無電解めっきに限定されることなく、蒸着等の薄膜工法あるいはスクリーン印刷等の厚膜工法で形成させることができる。さらに、はんだバンプの形成方法も、本実施例のようにPb-Sn系はんだペーストのみを溶融させて形成する方法以外に、CuまたはAgを芯材としてSn-Pb系やSn-Ag系はんだを溶融させて形成する等の種々の公知の方法を採用することができる。

【0023】また、コンデンサの形状は電極形状を含めて本実施例に限られるものではない。以下に、他の実施例を示す。図5は第2の実施例を示し、セラミック誘電体基板1の一方の主面の中央部分に形成した絶縁層4aの下部の容量電極を3aaと3abの2つに分割し、同一セラミックコンデンサ中で2種類の異なる静電容量が得られるようにしたものである。その他の部分は、第1の実施例である図1および図2と同一であるので、同一番号を付して説明は省略する。

【0024】図6は第3の実施例を示し、セラミック誘

電体基板 1 の一方の主面の容量電極の周囲に形成した導出電極と他方の主面に形成した容量電極とを、セラミック誘電体基板 1 の端面で接続するのではなく、スルーホール 7 により接続したものである。その他の部分は、第 1 の実施例である図 1 および図 2 と同一であるので、同一番号を付し説明は省略する。

【0025】図 7 は第 4 の実施例を示し、セラミック誘電体基板 1 の一方の主面の周囲に形成した導出電極 3 c (図 7 において、絶縁層 4 a の下層にあり図示せず) に凸部 8 を設けて面積を広げ、はんだバンプを形成しやすいようにしたものである。その他の部分は、第 1 の実施例である図 1 および図 2 と同一であるので、同一番号を付し説明は省略する。

【0026】図 8 は第 5 の実施例を示し、セラミック誘電体基板 1 の一方の主面に形成する導出電極 3 c (図 8 において、絶縁層 4 a の下層にあり図示せず) を一方の主面の周囲の全周に形成するのではなく、周囲の一部に形成したものである。その他の部分は、第 1 の実施例である図 1 および図 2 と同一であるので、同一番号を付し説明は省略する。

【0027】

【発明の効果】以上の説明で明らかなように、本発明のセラミックコンデンサは、回路基板上の IC や LSI 等の半導体素子の下部に固着して実装することができる。したがって、実装に伴って特別の実装スペースや配線スペースを必要とせず、高密度実装が可能となる。

【0028】また、本発明のセラミックコンデンサは、平板の誘電体に対向する容量電極を設けた単純な構造となっており、コンデンサの内部インダクタンスはほとんど無視できる。その上に、IC や LSI 等の半導体素子との接続においても、半導体素子に固着したセラミックコンデンサの容量電極および導出電極を半田バンプで回路基板上に接続することにより、配線によるインダクタンスの増加を極小に押さえることができる。したがって、*

* 高速デジタル回路においても十分なノイズ除去効果が得られる。

【図面の簡単な説明】

【図 1】本発明のセラミックコンデンサの第 1 の実施例を示す斜視図である。

【図 2】図 1 の X-X 線に沿う断面図である。

【図 3】本発明のセラミックコンデンサの製造過程を示す断面図である。

【図 4】本発明のセラミックコンデンサを取り付けた半導体装置を示す断面図である。

【図 5】本発明のセラミックコンデンサの第 2 の実施例を示す斜視図である。

【図 6】本発明のセラミックコンデンサの第 3 の実施例を示す斜視図である。

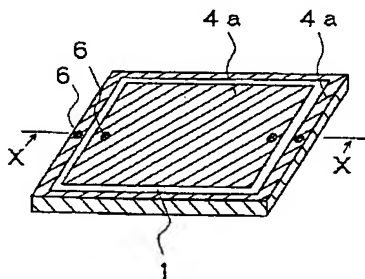
【図 7】本発明のセラミックコンデンサの第 4 の実施例を示す斜視図である。

【図 8】本発明のセラミックコンデンサの第 5 の実施例を示す斜視図である。

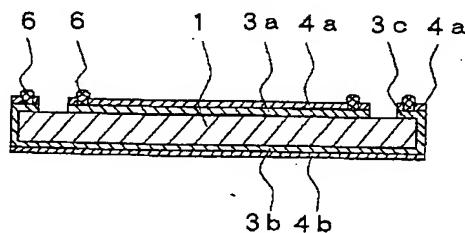
【符号の説明】

1	セラミック誘電体基板
2	レジスト層
3	容量形成用電極
3 a, 3 b	容量電極
3 c	導出電極
4 a, 4 b	耐溶剤性を有する絶縁層
5	はんだバンプ形成用の小孔
6	はんだバンプ
7	スルーホール
8	導出電極の凸部
10	半導体装置
11	セラミックコンデンサ
12	半導体素子
13	接着剤
14	回路基板

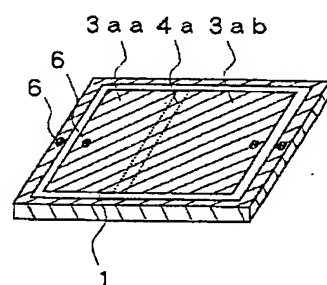
【図 1】



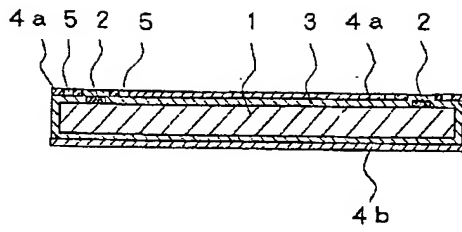
【図 2】



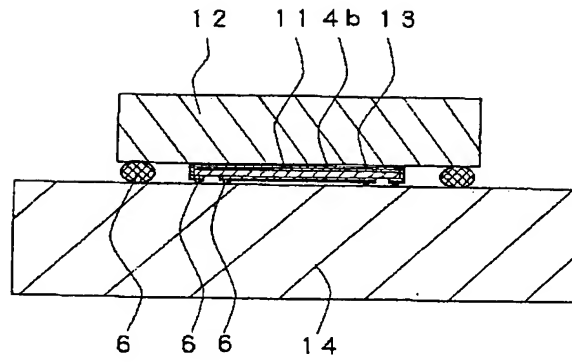
【図 5】



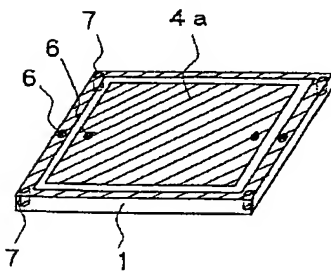
【図3】



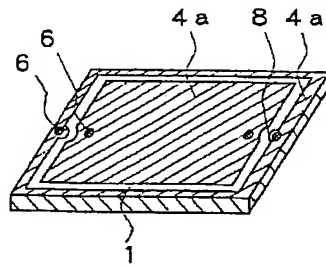
【図4】



【図6】



【図7】



【図8】

